



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010084439 A
(43)Date of publication of application: 06.09.2001

(21)Application number: 1020000009475
(22)Date of filing: 25.02.2000

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: PARK, JAE HWAN

(51)Int. Cl. G11C 8/00

(54) LEVEL SHIFTER

(57) Abstract:

PURPOSE: A level shifter is provided, which can prevent unnecessary current consumption, and can reduce a switching time of the level shifter.

CONSTITUTION: The level shifter(100) includes the first and the second PMOS transistor(MP11,MP12) and inverters(IV11,110,120). The inverter(IV11) is provided to invert a decode signal(A) provided from a row address decoder. The first PMOS transistor has a drain connected with a boosting voltage(VPP) from a pumping circuit, a source and a gate connected with the second node(N2). The second PMOS transistor has a drain connected with the boosting voltage, a source and a gate connected with the first node(N1). The inverter(110) includes the third PMOS transistor(MP13) and the first NMOS transistor(MN11). The third PMOS transistor has a current path formed between the source of the first PMOS transistor and the first node, and has a gate controlled by the decode signal. The first NMOS transistor has a current path formed between the first node and a ground voltage, and has a gate controlled by the decode signal. The inverter(120) includes the fourth PMOS transistor(MP14) and the second NMOS transistor. The fourth PMOS transistor has a current path formed between the source of the second PMOS transistor and the second node, and has a gate controlled by a signal(AB) from the inverter(IV11). The second NMOS transistor has a current path formed between the second node and the ground voltage, and has a gate controlled by the signal(AB). A voltage level of the second node is provided as a word line drive signal.

COPYRIGHT 2001 KIPO

Legal Status

특 2001-0084439

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷	(11) 공개번호	특2001-0084439
G11C 8/00	(43) 공개일자	2001년09월06일
(21) 출원번호	10-2000-0009475	
(22) 출원일자	2000년02월25일	
(71) 출원인	삼성전자 주식회사	윤종용
(72) 발명자	경기 수원시 팔달구 매탄3동 416	박재환
(74) 대리인	서울특별시양천구목2동506-15(101호)	임창현, 권혁수
심사청구 : <input type="checkbox"/>		
(54) 레벨 쉬프터		

요약

여기에 개시된 레벨 쉬프터는 전류 통로들이 상기 승압 전압과 접지 전압 사이에 직렬로 순차적으로 형성된 제 1 및 제 3 PMOS 트랜지스터들 및 제 1 NMOS 트랜지스터와, 전류 통로들이 상기 승압 전압과 접지 전압 사이에 직렬로 순차적으로 형성된 상기 제 2 및 제 4 PMOS 트랜지스터를 및 상기 제 2 NMOS 트랜지스터를 포함한다. 상기 제 1 PMOS 트랜지스터의 게이트는 상기 제 4 PMOS 트랜지스터 및 제 2 NMOS 트랜지스터의 전류 통로들의 연결 노드인 제 2 노드와 연결되고, 상기 제 2 PMOS 트랜지스터의 게이트는 상기 제 3 PMOS 트랜지스터 및 상기 제 1 NMOS 트랜지스터의 전류 통로들의 연결 노드인 제 1 노드와 연결된다. 상기 제 3 PMOS 트랜지스터와 제 1 NMOS 트랜지스터의 게이트들은 디코드 신호에 의해 제어되고, 상기 제 4 PMOS 트랜지스터와 제 2 NMOS 트랜지스터의 게이트들은 상기 디코드 신호의 반전된 신호에 의해 제어된다. 상술한 바와 같은 레벨 쉬프터에서는 불필요한 전류 통로가 형성되지 않으므로 전류 소모를 방지할 수 있다. 또한, 레벨 쉬프터의 스위칭 시간이 단축된다.

도면

도 1

도면

도면의 주요부분에 대한 부호의 설명

도 1은 Sugio의 특허 FIG. 1에 도시된 워드 라인 드라이버 가운데 레벨 쉬프터를 보여주는 회로도; 그리고

도 2는 본 발명의 바람직한 실시예에 따른 레벨 쉬프터의 상세 회로도이다.

도면의 주요 부분에 대한 부호의 설명

100 : 레벨 쉬프터

110, 120, 141 : 인버터

MP11 ~ MP14 : PMOS 트랜지스터

MN11, MN12 : NMOS 트랜지스터

도면의 상세한 설명

발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치의 레벨 쉬프터에 관한 것으로, 좀 더 구체적으로는 불필요한 전류 소모를 방지할 수 있고 스위칭 속도가 향상된 반도체 메모리 장치의 레벨 쉬프터에 관한 것이다.

레벨 쉬프터(level shifter)는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), ROM(Read Only Memory)와 같은 반도체 집적 회로 장치에 구비되는 워드 라인 드라이버 내에 구성되는 회로이다. 이 레벨 쉬프터는 이 분야에 대한 통상의 지식을 습득한 자들에게 잘 알려진 바와 같이, 행 어드레스 디코더(row address decoder)로부터의 디코드 신호에 응답하여, 펌핑 회로(pumping circuit)로부터 제공되는 고전압을 메모리 셀 어레이의 워드 라인들로 선택적으로 제공하기 위한 회로이다.

이러한 레벨 쉬프터의 일 예가 Sugio에 의해 1997년 2월 11일 취득된 U.S. Pat. No. 5,602,796, 'WORD

LINE DRIVER IN A SEMICONDUCTOR MEMORY DEVICE에 개시되어 있다.

도 1은 Sugio의 특허 FIG. 1에 도시된 워드 라인 드라이버 가운데 레벨 쉬프터를 보여주는 회로도이다. 도 1을 참조하면, 종래의 레벨 쉬프터(10)는 디코드 신호(A)를 반전시키기 위한 인버터(IV1)와 NMOS 트랜지스터들(MN1, MN2) 그리고 PMOS 트랜지스터들(MP1, MP2)을 포함한다.

풀-다운(pull-down) 스위칭을 위한 상기 NMOS 트랜지스터(MN1)는 게이트가 상기 디코드 신호(A)와 연결된다. 상기 NMOS 트랜지스터(MN2)의 게이트는 인버터(IV1)의 출력 단자와 연결되고, 그것의 소스는 접지 전압과 연결된다. 그리고 상기 NMOS 트랜지스터(MN2)의 드레인에는 승압 전압(VP)을 래치하기 위한 래치 회로와 연결된다. 상기 래치 회로는 PMOS 트랜지스터들(MP1, MP2)로 구성된다. 상기 PMOS 트랜지스터(MP1)의 게이트와 드레인 그리고 PMOS 트랜지스터(MP2)의 게이트와 드레인은 제 1 및 제 2 노드들(N1, N2) 사이에 교차되어 연결된다. 또한, 상기 PMOS 트랜지스터들(MP1, MP2)의 소스는 상기 승압 전압(VP)과 연결된다.

상술한 바와 같은 구성을 가지는 레벨 쉬프터의 동작은 다음과 같다.

상기 디코드 신호(A)가 로우 레벨(논리 '0')에서 하미 레벨(논리 '1')로 천이하면, 상기 NMOS 트랜지스터(MN1)는 턴 온되고, 상기 NMOS 트랜지스터(MN2)는 턴 오프된다. 상기 NMOS 트랜지스터(MN1)가 턴 온됨에 따라 제 1 노드(N1)가 로우 레벨로 되고, 상기 PMOS 트랜지스터(MP2)가 턴 온된다. 따라서, 상기 제 2 노드(N2)는 하미 레벨로 되고, 상기 PMOS 트랜지스터(MP1)는 턴 오프된다. 상기 제 2 노드(N2)의 전압 레벨은 상기 PMOS 트랜지스터(MP2)를 통한 승압 전압과 동일하고, 이 전압은 워드 라인을 구동하기 위한 워드 라인 드라이브 신호로 제공된다.

반면, 상기 디코드 신호(A)가 하미 레벨에서 로우 레벨로 천이하면, 상기 NMOS 트랜지스터(MN1)는 턴 오프되고, 상기 NMOS 트랜지스터(MN2)는 턴 온된다. 상기 NMOS 트랜지스터(MN2)가 턴 온됨에 따라 상기 제 2 노드(N2)가 로우 레벨로 되고, 상기 PMOS 트랜지스터(MP1)가 턴 온된다. 따라서, 상기 제 1 노드(N1)는 하미 레벨로 되고, 상기 PMOS 트랜지스터(MP2)는 턴 오프된다.

상기 디코드 신호(A)가 하미 레벨에서 로우 레벨로 천이하는 시점에, 상기 PMOS 트랜지스터(MP2)는 턴 온 상태이고 상기 NMOS 트랜지스터(MN2)는 턴 오프 상태에서 턴 온 상태로 천이하므로, 짧은 시간이지만 상기 PMOS 트랜지스터(MP2)와 상기 NMOS 트랜지스터(MN2) 모두가 턴 온 상태를 유지하여 상기 두 트랜지스터들(MP2, MN2) 사이에 전류 통로가 형성된다.

반대로, 상기 디코드 신호(A)가 로우 레벨에서 하미 레벨로 천이하는 시점에는 상기 PMOS 트랜지스터(MP1)와 상기 NMOS 트랜지스터(MN1) 모두가 턴 온 상태를 유지하여 상기 두 트랜지스터들(MP2, MN2) 사이에 전류 통로가 형성된다.

이와 같이, 승압 전압(VP)과 접지 전압 사이에 전류 통로가 형성되면 불필요한 전류 소모가 야기된다.

본 발명의 배경 기술은 다음과 같다

따라서, 본 발명의 목적은 상술한 제반 문제점을 해결하기 위해 제안된 것으로, 불필요한 전류 소모를 방지할 수 있는 레벨 쉬프터를 제공하는데 있다.

본 발명의 구성 및 작용

상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 특징에 의하면, 디코드 신호에 응답하여 승압 전압 레벨을 갖는 드라이브 신호를 출력하는 레벨 쉬프터는: 각각이 하나의 전류 통로와 게이트를 가지는 제 1 및 제 2 PMOS 트랜지스터들, 각각이 하나의 전류 통로와 상기 디코드 신호에 의해 제어되는 게이트를 가지는 제 3 PMOS 트랜지스터 및 제 1 NMOS 트랜지스터, 각각이 하나의 전류 통로와 상기 디코드 신호의 반전된 신호에 의해 제어되는 게이트를 가지는 제 4 PMOS 트랜지스터 및 제 2 NMOS 트랜지스터를 포함한다. 상기 제 1 및 제 3 PMOS 트랜지스터들과 상기 제 1 NMOS 트랜지스터들의 전류 통로들은 상기 승압 전압과 접지 전압 사이에 직렬로 순차적으로 형성된다. 상기 제 2 및 제 4 PMOS 트랜지스터들과 상기 제 2 NMOS 트랜지스터들의 전류 통로들은 상기 승압 전압과 접지 전압 사이에 직렬로 순차적으로 형성된다. 상기 제 1 PMOS 트랜지스터의 게이트는 상기 제 4 PMOS 트랜지스터 및 제 2 NMOS 트랜지스터의 전류 통로들의 연결 노드인 제 2 노드와 연결되고, 상기 제 2 PMOS 트랜지스터의 게이트는 상기 제 3 PMOS 트랜지스터 및 상기 제 1 NMOS 트랜지스터의 전류 통로들의 연결 노드인 제 1 노드와 연결되고, 그리고 상기 제 2 노드의 전압 레벨은 상기 드라이브 신호로 출력된다.

(작용)

이와 같은 회로에 의해서, 불필요한 전류 소모를 방지할 수 있는 레벨 쉬프터를 구현할 수 있다.

(실시예)

이하 본 발명에 따른 실시예를 첨부된 도면 도 2를 참조하여 상세히 설명한다.

도 2는 본 발명의 바람직한 실시예에 따른 레벨 쉬프터의 상세 회로도이다.

도 2를 참조하면, 본 발명에 따른 상기 레벨 쉬프터(100)는 제 1 및 제 2 PMOS 트랜지스터들(MP11, MP12)과 인버터들(IV11, 110, 120)을 포함한다. 상기 인버터(IV11)는 상기 행 어드레스 디코더(D1 도시됨)로부터 제공되는 디코드 신호(A)를 반전시키기 위해 제공된다.

상기 제 1 PMOS 트랜지스터(MP11)는 펌핑 회로(D1 도시됨)로부터 제공되는 승압 전압(VP)과 연결된 드레인, 소스 그리고 제 2 노드(N2)와 연결된 게이트를 갖는다. 상기 제 2 PMOS 트랜지스터(MP12)는 상기 승압 전압(VP)과 연결된 드레인, 소스 그리고 제 1 노드(N1)와 연결된 게이트를 갖는다.

상기 인버터(110)는 제 3 PMOS 트랜지스터(MP13)와 제 1 NMOS 트랜지스터(MN11)를 포함한다. 상기 제 3

PMOS 트랜지스터(MP13)는 상기 제 1 PMOS 트랜지스터(MP11)의 소스와 상기 제 1 노드(N11) 사이에 형성된 전류 통로 및 상기 디코드 신호(A)에 의해 제어되는 게이트를 갖는다. 상기 제 1 NMOS 트랜지스터(MN11)는 상기 제 1 노드(N11)와 접지 전압 사이에 형성된 전류 통로 및 상기 디코드 신호(A)에 의해 제어되는 게이트를 갖는다.

상기 인버터(120)는 제 4 PMOS 트랜지스터(MP14)와 제 2 NMOS 트랜지스터를 포함한다. 상기 제 4 PMOS 트랜지스터(MP14)는 상기 제 2 PMOS 트랜지스터(MP12)의 소스와 상기 제 2 노드(N12) 사이에 형성된 전류 통로 및 상기 인버터(120)로부터 출력되는 신호(AB)에 의해 제어되는 게이트를 갖는다. 상기 제 2 NMOS 트랜지스터(MN12)는 상기 제 2 노드(N12)와 접지 전압 사이에 형성된 전류 통로 및 상기 신호(AB)에 의해 제어되는 게이트를 갖는다.

상기 제 2 노드(N12)의 전압 레벨은 위드 라인 드라이브 신호로 제공된다.

계속해서, 상술한 바와 같이 구성되는 본 발명에 따른 레벨 쉬프터(100)의 동작이 설명된다.

도 2를 참조하면, 상기 디코드 신호(A)가 로우 레벨(논리 '0')에서 하이 레벨(논리 '1')로 천이하면, 상기 인버터(110) 내에 구성된 제 3 PMOS 트랜지스터(MP13)는 턴 오프되고, 제 1 NMOS 트랜지스터(MN11)는 턴 온된다. 따라서, 상기 제 1 노드(N11)가 로우 레벨로 되어, 상기 제 2 PMOS 트랜지스터(MP12)가 턴 온된다. 한편, 상기 인버터(120)로부터 출력되는 신호(AB)는 로우 레벨이므로, 상기 인버터(120) 내에 구성된 제 4 PMOS 트랜지스터(MP14)는 턴 온되고, 제 2 NMOS 트랜지스터(MN12)는 턴 오프된다. 따라서, 상기 제 2 노드(N12)에는 상기 제 2 PMOS 트랜지스터(MN12)를 통해 전달된 승압 전압(VP)이 차지된다. 그에 따라, 상기 제 1 PMOS 트랜지스터(MP11)는 턴 오프된다.

반면, 상기 디코드 신호(A)가 하이 레벨에서 로우 레벨로 천이하면 상기 인버터(110) 내에 구성된 제 3 PMOS 트랜지스터(MP13)는 턴 온되고, 제 1 NMOS 트랜지스터(MN11)는 턴 오프된다. 따라서, 상기 제 1 노드(N11)는 하이 레벨로 되어 상기 제 2 PMOS 트랜지스터(MP12)는 턴 오프된다. 그리고 상기 인버터(120) 내에 구성된 제 4 PMOS 트랜지스터(MP14)는 턴 오프되고, 제 2 NMOS 트랜지스터(MN12)는 턴 온된다. 따라서, 상기 제 2 노드(N12)가 로우 레벨로 되어, 상기 제 1 PMOS 트랜지스터(MP11)가 턴 온된다. 그러므로, 상기 제 2 노드(N12)는 접지 전압으로 디스차지된다.

이와 같이, 상기 디코드 신호(A)가 로우 레벨에서 하이 레벨로 천이할 때에는 상기 제 4 PMOS 트랜지스터(MP14)가 턴 온되므로; 상기 제 2 노드(N12)가 로우 레벨에서 하이 레벨로 천이된다. 따라서, 상기 제 1 PMOS 트랜지스터(MP11)가 턴 온 상태에서 턴 오프 상태로 스위칭되는 시간이 빨라진다. 그 결과, 상기 제 1 PMOS 트랜지스터(MP11)와 상기 제 1 NMOS 트랜지스터(MN11)를 통하여 전류 통로가 형성되지 않는다.

반면, 상기 디코드 신호(A)가 하이 레벨에서 로우 레벨로 천이할 때에는 상기 제 3 PMOS 트랜지스터(MP13)가 턴 온되므로, 상기 제 1 노드(N11)가 로우 레벨에서 하이 레벨로 천이된다. 따라서, 상기 제 2 PMOS 트랜지스터(MP12)가 턴 온 상태에서 턴 오프 상태로 스위칭되는 시간이 빨라진다. 그 결과, 상기 제 2 PMOS 트랜지스터(MP12)와 상기 제 2 NMOS 트랜지스터(MN12)를 통하여 전류 통로가 형성되지 않는다.

이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

발명의 효과

이상과 같은 본 발명에 의하면, 불필요한 전류 소모를 방지할 수 있다. 또한, 레벨 쉬프터의 스위칭 시간이 단축된다.

{5} 청구의 범위

청구항 1. 디코드 신호에 응답하여 승압 전압 레벨을 갖는 드라이브 신호를 출력하는 레벨 쉬프터에 있어서:

각각이 하나의 전류 통로와 게이트를 가지는 제 1 및 제 2 PMOS 트랜지스터들과;

각각이 하나의 전류 통로와 상기 디코드 신호에 의해 제어되는 게이트를 가지는 제 3 PMOS 트랜지스터 및 제 1 NMOS 트랜지스터와;

각각이 하나의 전류 통로와 상기 디코드 신호의 반전된 신호에 의해 제어되는 게이트를 가지는 제 4 PMOS 트랜지스터 및 제 2 NMOS 트랜지스터를 포함하고;

상기 제 1 및 제 3 PMOS 트랜지스터들과 상기 제 1 NMOS 트랜지스터의 전류 통로들은 상기 승압 전압과 접지 전압 사이에 직렬로 순차적으로 형성되고;

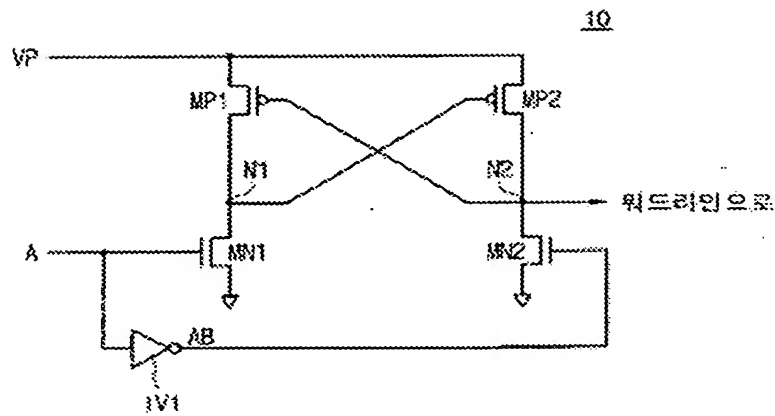
상기 제 2 및 제 4 PMOS 트랜지스터들과 상기 제 2 NMOS 트랜지스터의 전류 통로들은 상기 승압 전압과 접지 전압 사이에 직렬로 순차적으로 형성되고;

상기 제 1 PMOS 트랜지스터의 게이트는 상기 제 4 PMOS 트랜지스터 및 제 2 NMOS 트랜지스터의 전류 통로들의 연결 노드인 제 2 노드와 연결되고, 상기 제 2 PMOS 트랜지스터의 게이트는 상기 제 3 PMOS 트랜지스터 및 상기 제 1 NMOS 트랜지스터의 전류 통로들의 연결 노드인 제 1 노드와 연결되고, 그리고 상기 제 2 노드의 전압 레벨은 상기 드라이브 신호로 출력되는 것을 특징으로 하는 레벨 쉬프터.

도면

도 11

(종래 기술)



도 12

